

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-213391

(43)公開日 平成8年(1996)8月20日

(51)Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/3205

H 0 1 L 21/ 88

N

審査請求 有 発明の数 2 O L (全 9 頁)

(21)出願番号 特願平7-280807

(62)分割の表示 特願昭61-300725の分割

(22)出願日 昭和61年(1986)12月17日

特許法第30条第1項適用申請有り 第47回応用物理学会
学術講演会において昭和61年9月27日に発表

(71)出願人 000004260

日本電装株式会社

愛知県刈谷市昭和町1丁目1番地

(72)発明者 種小谷 良一

愛知県刈谷市昭和町1丁目1番地 日本電
装株式会社内

(72)発明者 樋口 安史

愛知県刈谷市昭和町1丁目1番地 日本電
装株式会社内

(72)発明者 川本 和則

愛知県刈谷市昭和町1丁目1番地 日本電
装株式会社内

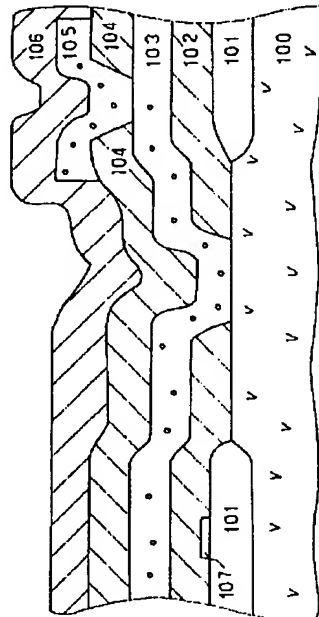
(74)代理人 弁理士 碓氷 裕彦

(54)【発明の名称】 多層配線装置およびその製造方法

(57)【要約】

【課題】 引張り応力の大きい保護膜を形成した多層配線において、ストレスマイグレーションを抑えてALボイドの発生を低減する。

【解決手段】 上層の配線として主な成分がアルミニウムであり結晶粒を有する第2の配線を形成し、その結晶面を主に(111)面に配向することによりアルミニウム原子の粒界までの移動を抑制する。

100: シリコン基板
101: Locos
102: 第1のPSG膜
103: 第1のAl-Si膜
104: 第2のPSG膜
105: 第2のAl-Si膜
106: 表面保護膜

1

2

【特許請求の範囲】

(1) 半導体基板と、

前記半導体基板上に部分的に形成された第1の配線と、
前記第1の配線上に形成され、部分的に除去されたコン
タクト部を有する絶縁膜と、

その主な成分がアルミニウムであり、前記絶縁膜上に形
成され、前記コンタクト部を介して前記第1の配線に電
氣的接続する第2の配線と、

前記第2の配線上に形成され、前記第2の配線に引っ張
り応力を作用する保護膜と、を有し、

前記第2の配線は、結晶粒を有すると共に、アルミニウ
ム原子が粒界まで移動するのを抑制すべくその結晶面が
主に(111)面に配向していることを特徴とする多層
配線装置。

(2) 前記絶縁膜は、その表面が平坦化されている膜で
ある特許請求の範囲第1項に記載の多層配線装置。

(3) 前記絶縁膜は、その表面が平坦化されたシリコン
窒化膜と、前記シリコン窒化膜上に形成されたシリコン
酸化膜より成るものである特許請求の範囲第2項に記載
の多層配線装置。

(4) 前記絶縁膜は、スピンオングラス上にシリコン酸
化膜を形成したものである特許請求の範囲第2項に記載
の多層配線装置。

(5) 前記第2の配線は、その粒径を L 、配線幅を W と
した場合、

$$(W/14) < L < W$$

を満足するように前記結晶粒の粒径が調整されている特
許請求の範囲第1項乃至第4項のいずれかに記載の多層
配線装置。

(6) 前記粒径は、

$$(W/4) < L < (W/1.5)$$

を満足するように前記結晶粒の粒径が調整されている特
許請求の範囲第5項に記載の多層配線装置。

(7) 前記結晶は、X線回折による(111)面におけ
る回折強度を I_{111} 、他の面の回折強度のうちで最も大
きいものを I_{abc} とした場合、

$$I_{111} / I_{abc} \geq 2$$

を満足するように配向している特許請求の範囲第1項乃
至第6項のいずれかに記載の多層配線装置。

(8) 前記保護膜は、シリコン窒化膜である特許請求の
範囲第1項乃至第7項のいずれかに記載の多層配線装
置。

(9) 前記第2の配線の配線幅は、 $3\mu m$ 以下である特
許請求の範囲第1項乃至第8項のいずれかに記載の多層
配線装置。

(10) 半導体基板上に部分的に第1の配線を形成する
第1の工程と、

前記第1の配線上に絶縁膜を形成すると共に、前記絶縁
膜を部分的に除去してコンタクト部を形成する第2の工
程と、

主な成分がアルミニウムであり、その結晶粒の結晶面が
主に(111)に配向する第2の配線を、前記コンタク
ト部を介して前記第1の配線に電氣的接続するように前
記絶縁膜上に形成する第3の工程と、

前記第2の配線に引っ張り応力を作用する保護膜を前記
第2の配線上に形成する第4の工程とを備えたことを特
徴とする多層配線装置の製造方法。

(11) 前記第2の工程は、前記絶縁膜の表面を平坦化
する工程を有する工程である特許請求の範囲第10項に
記載の多層配線装置の製造方法。

(12) 前記第2の工程は、前記第1の配線上にシリコ
ン窒化膜を形成し、前記シリコン窒化膜上にレジストを
塗布して表面を平坦化した後、ドライエッチングを行い
前記シリコン窒化膜の表面を平坦化し、さらに前記シリ
コン窒化膜上にシリコン酸化膜を形成する工程である特
許請求の範囲第11項に記載の多層配線装置の製造方
法。

(13) 前記第2の工程は、前記第1の工程後に存在す
る凹部にスピンオングラスを塗布、硬化し、前記スピン
オングラス上にシリコン酸化膜を形成する工程である特
許請求の範囲第11項に記載の多層配線装置の製造方
法。

(14) 前記第3の工程は、前記第2の配線の粒径を
 L 、配線幅を W とした場合、

$$(W/14) < L < W$$

を満足するように前記結晶粒の粒径が調整されるよう
に形成する工程である特許請求の範囲第10項乃至第13
項のいずれかに記載の多層配線装置の製造方法。

(15) 前記第4の工程は、プラズマCVDにより前記
保護としてのシリコン窒化膜を形成する工程である特許
請求の範囲第10項乃至第14項のいずれかに記載の多
層配線装置の製造方法。

(16) 前記第3の工程は、スパッタリングにより前記
第2の配線を形成する工程である特許請求の範囲第10
項乃至第15項のいずれかに記載の多層配線装置の製造
方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、LSI等に形成さ
れる多層配線に係り、特に該配線に対して引っ張り応力
の大きい保護膜を用いた素子において、微細化する際に
上層の配線内に生じ易い欠落(以下「ALボイド」とい
う)を低減可能にする多層配線装置およびその製造方法
に関する。

【0002】

【従来の技術】近年、素子の高集積化に伴い、微細化や
多層化が必須の技術となっており、微細化するにつ
れてアルミニウム配線の線幅も細く設計され、その線幅
が $2\sim 3\mu m$ 以下になってくるとアルミニウム配線内に
アルミニウム(AL)ボイドが発生する。又、多層化に

よっても種々の薄膜を重ねるために素子の内部構造にストレスが加えられ、前述したALボイドが発生する。このALボイドは、一般的に言われているエレクトロマイグレーションにより発生するものではなく、ストレスマイグレーションと言われる新規な現象により発生するものである。ストレスマイグレーションとは、引っ張り応力の大きい保護膜を形成したアルミニウム配線にのみ起こる現象である。引っ張り応力が大きい程、又アルミニウム配線の線幅が細くなる程、顕著に見られる現象である。

【0003】又、多層配線装置においては、上層の配線は下層の配線より保護膜に近いことからより大きな引っ張り応力を受け易く、さらに、上層の配線の下には下層の配線等による段差が存在することが多く、段差があると保護膜からの引っ張り応力が局所的に作用してしまい、よりALボイドが発生し易くなる。そして、このストレスマイグレーションによって生じたALボイドが大きくなると、信頼性上非常に大きな問題となってくる。例えば、素子動作（通電）をしなくてもアルミニウム配線の断線、アルミニウム配線の断面積の減少による配線抵抗の増大、発熱による素子破壊、動作スピードの遅延等がおき、更に、素子を動作させ大電流を通電した時にエレクトロマイグレーションにより加速度的に故障が生じ易くなる。

【0004】このALボイドは、内部応力の大きいパッシベーション膜等からの引っ張り応力がアルミニウム配線に加わり結晶粒界にその応力が集中し、応力を緩和しようとしてALの原子が粒界から移動し始める為に結晶粒界から割れ目が広がってゆく事により発生すると考えられている。これに対し、粒界でのAL原子の移動を低減する為に、粒界に析出し易いCuを、ALとSiの合金配線（以下、「AL-Si配線」という）に混ぜる事によりAL-Si-Cu配線を形成し、CuをAL原子に対する障害物として作用させAL原子の移動を抑制し、ALボイドの発生を抑制できるという報告例がある。これは、ストレスマイグレーションが、保護膜から受けるストレスにより、AL原子が①結晶粒内から粒界へ移動、②粒界拡散によりマイグレーションを起こすと考えられ、上記Cuの添加は②の拡散を抑制の狙ったものと思われる。

【0005】

【発明が解決しようとする課題】しかしながら、上記のAL-Si-Cu配線によると、ALボイドの発生をある程度は抑制できるものの、ボイド率Lvにして30～40%のALボイドの発生は依然まぬがれる事ができず、よりALボイドの発生を低減できるアルミニウム配線が望まれている。

【0006】尚、ここでいうボイド率Lvとは第11図の斜視図に示すようにアルミニウム配線の線幅をW、最大ボイド値をdとした場合、 $Lv = d/W$ で表される値

であり、言うまでもなくこのボイド値Lvが小さい程、ALボイドの発生は抑制されている事になる。そこで本発明は、引っ張り応力の大きい保護膜を形成した多層配線において、上層のアルミニウム配線の膜質を制御する事により、ストレスマイグレーションを抑えてALボイドの発生をより低減する事を目的としている。

【0007】

【課題を解決するための手段】上記目的を達成するため、本願の第1発明においては、半導体基板と、前記半導体基板上に部分的に形成された第1の配線と、前記第1の配線上に形成され、部分的に除去されたコンタクト部を有する絶縁膜と、その主な成分がアルミニウムであり、前記絶縁膜上に形成され、前記コンタクト部を介して前記第1の配線に電気的接続する第2の配線と、前記第2の配線上に形成され、前記第2の配線に引っ張り応力を作用する保護膜と、を有し前記第2の配線は、結晶粒を有すると共に、アルミニウム原子が粒界まで移動するのを抑制すべくその結晶面が主に(111)面に配向していることを特徴とする多層配線装置を提供する。

【0008】本願の第2発明においては、半導体基板上に部分的に第1の配線を形成する第1の工程と、前記第1の配線上に絶縁膜を形成すると共に、前記絶縁膜を部分的に除去してコンタクト部を形成する第2の工程と、主な成分がアルミニウムであり、その結晶粒の結晶面が主に(111)に配向する第2の配線を、前記コンタクト部を介して前記第1の配線に電気的接続するように前記絶縁膜上に形成する第3の工程と、前記第2の配線に引っ張り応力を作用する保護膜を前記第2の配線上に形成する第4の工程とを備えたことを特徴とする多層配線装置の製造方法を提供する。

【0009】なお、上記第1、第2の発明において、第2の配線層の上に保護膜を形成するとは、直接的に又は他の層を介在させて間接的に、保護膜を第2の配線層の上に形成することを意味する。

【0010】

【作用及び発明の効果】通常、配線の下に段差があると、その段差の部分でいろいろな配向の結晶面が発生し易くなるが、本願の第1発明によると、第2の配線の結晶面を強制的に主に(111)面に配向したことにより、(111)面はAL原子が最密面の膜となるため、保護膜からの引っ張り応力が加わっても、AL粒子中のAL原子が結晶粒内から粒界へ移動しにくくなり、スリット上のボイドが発生せず、従ってストレスマイグレーションを抑えてALボイドの発生を低減することができるという効果を奏する。

【0011】また、本願の第2発明によると、上記ストレスマイグレーションを抑えた多層配線装置を製造することができるという効果を奏する。

【0012】

【発明の実施の形態】以下、本発明を図面に示す実施例

を用いて詳細に説明する。第1図は本発明の第1実施例を説明する為の半導体装置の断面図であり、図において100はシリコン基板、101はシリコン基板100上に部分的にシリコン窒化膜(Si_3N_4)を形成し、そのシリコン窒化膜をマスクとして熱酸化する事により形成されるフィールド絶縁膜としてのLOCOSである。そしてシリコン窒化膜を除去した後、蒸着あるいはCVD (Chemical Vapor Deposition)法により絶縁膜としての例えば第1のPSG (リンガラス) 膜102を形成し、引続き、例えばスパッタリング法により第1のAL-Si配線103をその一部がシリコン基板100と電気接続するように形成する。

【0013】ここで、本実施例の要部である第1のAL-Si配線103は、まずスパッタリング法によりAL-Si合金の膜を第1のPSG膜102あるいはシリコン基板100上に形成する。その際、AL-Si合金の結晶面は、スパッタリング時の基板過熱温度、Arガス圧、AL-Si合金の堆積速度、残留ガスの種類、量等を制御する事によりほとんどの結晶粒が(111)面に配向している。そして、そのAL-Si合金をホトエッチングする事により例えば線幅が $2\mu\text{m}$ で、AL結晶粒の粒径がその線幅の約 $1/3$ である $0.7\mu\text{m}$ の所定のパターンにし、その後、所定時間の熱処理を行う事により形成される。

【0014】尚、結晶面を(111)面に配向するために制御するものとして例えば基板加熱に注目すると、第5図(a)及び(b)のグラフに示すように、基板を加熱した場合(同図(a))には様々な結晶方位をもつに対し、基板を加熱しない場合(同図(b))には主に(111)面に配向する。しかしながら基板を加熱しないとアルミニウム合金配線のステップカバレッジが悪化し、又、AL結晶粒の粒径が非常に小さくなるのでSiが析出してしまい問題となってくる。従って、適当な基板温度にてスパッタリングする必要がある。

【0015】そして、この第1のAL-Si配線103上を覆うようにして蒸着あるいはCVD法により第2のPSG膜104を形成し、第1のAL-Si配線103との電気接続をとる為のコンタクト部に当たる部分を部分的にエッチング除去する。次に、コンタクト部にて第1のAL-Si配線103と電気接続するようにして第2のAL-Si配線105を第1のAL-Si配線103と同様に形成し、最後に表面を安定化する為にプラズマCVD法等より例えばシリコン窒化膜等から成る表面保護膜106を形成する。尚、107は多結晶シリコンから成る配線層である。

【0016】そこで本実施例によると、AL-Si合金の堆積時における結晶面がほとんど(111)面に配向しており、前述したように(111)面が最密面である事からAL原子は他のAL原子によりその移動を抑制され、それによりアルミニウム合金配線の内部応力の緩和

の為のAL原子の粒界までの移動が抑制されALボイドの発生をほとんどなくす事ができるという効果がある。次に、以上の事を本発明者の実験結果に基づいて説明する。第4図は横軸に角度位置 2θ 、縦軸に回折強度をとり、結晶面の配向性による回折強度の大きさとその時のボイド率Lvの値をあらわすグラフであり、第4図(a)が上記第1実施例の値である。尚、回折強度の大きさは例えば第10図の模式的上面図に示すようなディフラクトメーターにより計測した。このディフラクトメーターを簡単に説明すると、平板状試料10(本例の場合表面にはAL-Si合金が形成されている)が紙面に垂直な軸Oのまわりを回転する台11に取りつけられており、X線源としてのX線管12のターゲット13上の線状焦点14から出る発散X線をスリット15を介して平板状試料10によって回折した後、スリット16に焦点を結び、計数管17に入れるように構成しており、角度位置 2θ を一定角速度で増大する方向に移動させて走査する事により、その時に計数管17に入るX線の回折強度を計測するものである。尚、角度位置 2θ は目盛板18にて読み取る。

【0017】かかる装置を用いて本実施例の回折強度を測定した結果、第4図(a)のグラフに示すように、結晶面が(111)面にて回折強度が最も大きくなっており、他の結晶面での回折強度は(200)面でわずかな値が測定されただけであり、(111)面の回折強度を I_{111} 、他の結晶面で最も大きい回折強度(この場合(200)面の回折強度)を I_{abc} とした場合、 $I_{111}/I_{abc}=5.10$ となり、その時のボイド率Lvは $Lv=0\%$ という画期的な値であり、AL-Si合金をその結晶面をほとんど(111)面にする事でALボイドの発生を略なくす事ができるという優れた効果を有することになる。

【0018】第4図(b)はAL-Si合金をその結晶面が主に(111)面になるように配向した例であり、 $I_{111}/I_{abc}=2.1$ である。この例においてもボイド率 $Lv=10\%$ でありALボイドの発生を従来と比較してかなり低減できるという効果がある。第4図(c)は参考として従来のAL-Si合金の値を示しており、様々な結晶方位をもっておりその回折強度は(220)面で最も大きく、 $I_{111}/I_{abc}=0.7$ 、 $Lv=43\%$ である。

【0019】第8図に I_{111}/I_{abc} とボイド率Lvの関係を示す。グラフからわかるように $I_{111}/I_{abc} \geq 1$ であればボイド率Lvは略30%以下となるのである程度の効果が得られ、 $I_{111}/I_{abc} \geq 2$ であればボイド率Lvは略10%以下となりかなりの効果が得られる。尚、以上の発明における回折強度あるいは結晶面は、AL-Si配線の形成過程においてAL-Si合金の堆積時における値であるが、AL-Si配線形成後の回折強度あるいは結晶面を用いてもよい。

8

*らわかるようにAL粒径がボイド率 L_v に対して大きな影響を与えておりAL粒径が大きい程、ボイド率 L_v は小さくなる。例えば本実験において下地材料はCVD法によるシリコン窒化膜、AL-Si配線の線幅は $3.6\mu\text{m}$ であり、AL粒径が $0.8\mu\text{m}$ つまり線幅の約 $1/4$ 以上になるとボイド率 $L_v=0\%$ になっている。又、AL粒径が $0.25\mu\text{m}$ つまり線幅の約 $1/14$ 以上になるとボイド率 L_v は 30% 以下となるのである程度の効果が得られる。ここで、AL粒径が大きすぎると結晶粒の粒界が配線を横切る可能性が生じ、逆にスリット状のALボイドが発生してしまう。従って、AL粒径の上限は線幅と同程度であり、ある程度ALボイドの発生を抑える事のできるAL粒径の範囲はAL粒径を L 、線幅を W とした場合、

10

※体装置の断面図を用いて説明する。尚、第1図の構成要素と同一の製造方法にて形成可能な構成要素には同一符号を付してその詳細な説明は省略する。本実施例においても第1のAL-Si配線103は上述したように結晶面が主に(111)面に配向するように、そして、その粒径が線幅の1/4乃至1/1.5の範囲内になるように形成されている。

40 【0024】そこで本実施例においても結晶面を主に
（111）面に配向し又、その粒径を制御しているので
上記第1実施例と同様な効果が得られるわけであるが、
通常、エッチバックを行う場合、レジストとのエッチン
グ速度を等しくする為にレジスト下の材料は窒化膜であ
り、この窒化膜を下地材料として第2のAL-Si配線
が形成されるが、本実施例においてはその窒化膜として
のP-SiN膜1041上にPSG膜1042を形成し
ており、そのPSG膜1042を下地材料として第2の
AL-Si配線105を形成しているのて上述したよう
50 にAL-Si配線105を形成しているのて上述したよ

うにAL-Si合金の結晶面を主に(111)面に配向し易くなる等といった効果がある。

【0025】次に、本発明の第3実施例を第3図の半導体装置の断面図を用いて説明する。本実施例においては、第1のAL-Si配線103、及び第1のPSG膜102上に薄膜のシリコン窒化膜(Si_3N_4)1043を形成し、この時存在する凹部に、エタノール及び SiO_2 を主成分とするスピニングガラス(SOG)1044を塗布し、その後熱硬化する。そして、その上にPSG膜1045を形成し、コンタクト部を部分的に除去し、第2のAL-Si配線105を形成する。そこで本実施例のような構造においてもAL-Si合金の結晶面を主に(111)面に配向し、その粒径を $1/4$ 乃至 $1/1.5$ にする事により、又、第1、第2のAL-Si配線103、105の下地材料が酸化膜であるので第1実施例と同様の効果が得られる。

【0026】尚、本発明は上記第1乃至第3実施例に限定されることなくその主旨を逸脱しない限り種々変形可能であり、例えば、本発明のいう第2の配線の成分は、その主成分がALであればよく、従ってE-gun法により蒸着されるアルミニウム配線、あるいはAL-Si配線、AL-Si-Cu配線、AL-Si-Ti配線等であってもよい。又、上記実施例では2層配線であるが3層以上の配線構造でもよい。

【図面の簡単な説明】

【図1】本発明の第1実施例を説明する為の半導体装置の断面図である。

【図2】本発明の第2実施例を説明する為の半導体装置の断面図である。

【図3】本発明の第3実施例を説明する為の半導体装置 30
の断面図である。

【図4】(a)結晶面の配向性による回折強度の大きさとその時のボイド率 L_v の値を表すグラフである。

(b) 結晶面の配向性による回折強度の大きさとその時のボイド率 ν の値を表すグラフである。

(c) 結晶面の配向性による回折強度の大きさとその時

のボイド率 L_v の値をあらわすグラフである。

【図5】(a) 結晶面の配向性による回折強度の大きさをあらわすグラフである。

(b) 結晶面の配向性による回折強度の大きさをあらわすグラフである。

(c) 結晶面の配向性による回折強度の大きさをあらわすグラフである。

【図6】(a)結晶面の配向性による回折強度の大きさをあらわすグラフである。

(b) 結晶面の配向性による回折強度の大きさをあらわすグラフである。

【図7】(a) 結晶面の配向性による回折強度の大きさをあらわすグラフである。

(b) 結晶面の配向性による回折強度の大きさをあらわすグラフである。

【図8】 I_{111} / I_{abc} とボイド率 L_v の関係をあらわすグラフである。

【図9】AL粒径とボイド率 L_v の関係をあらわすグラフである。

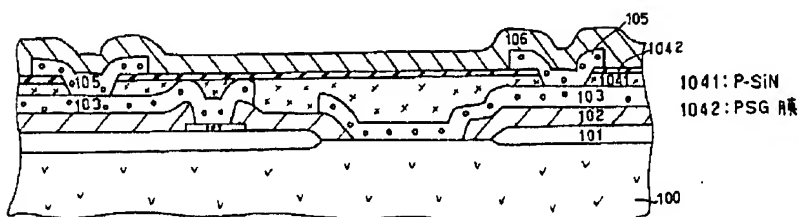
【図10】ディフラクトメータの模式的上面図である。

【図11】ボイド率を説明する為の斜視図である。

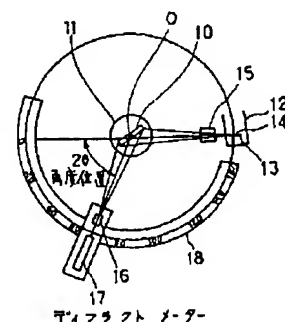
【符号の説明】

- | | |
|-------------|---------------|
| 100 | シリコン基板 |
| 101 | LOCOS |
| 102 | 第1のPSG膜 |
| 103 | 第1のAL-Si配線 |
| 104 | 第2のPSG膜 |
| 105 | 第2のAL-Si配線 |
| 106 | 表面保護膜 |
| <u>1041</u> | <u>P-SiN膜</u> |
| 1042 | PSG膜 |
| 1043 | シリコン窒化膜 |
| 1044 | SOG |
| 1045 | PSG膜 |

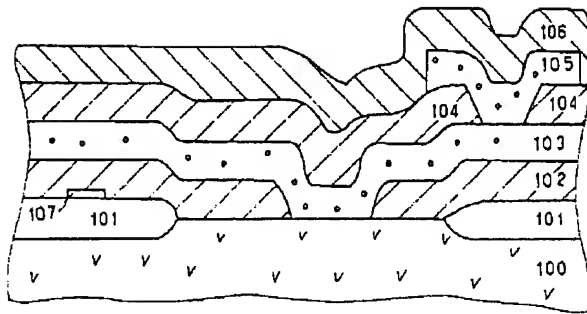
【図2】



【図10】

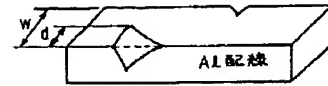


【図1】

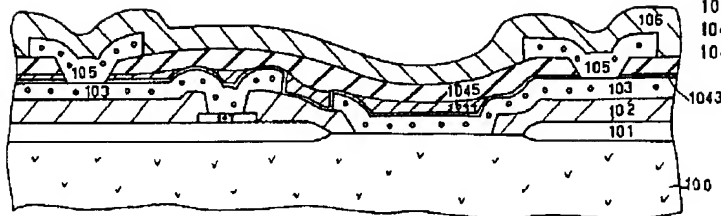


100: シリコン基板
 101: Locos
 102: 第1のPSG膜
 103: 第1のAl-Si配線
 104: 第2のPSG膜
 105: 第2のAl-Si配線
 106: 表面保護膜

【図11】

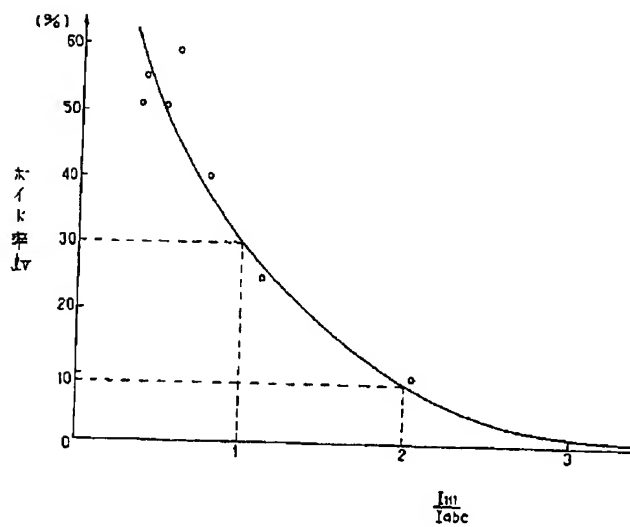


【図3】

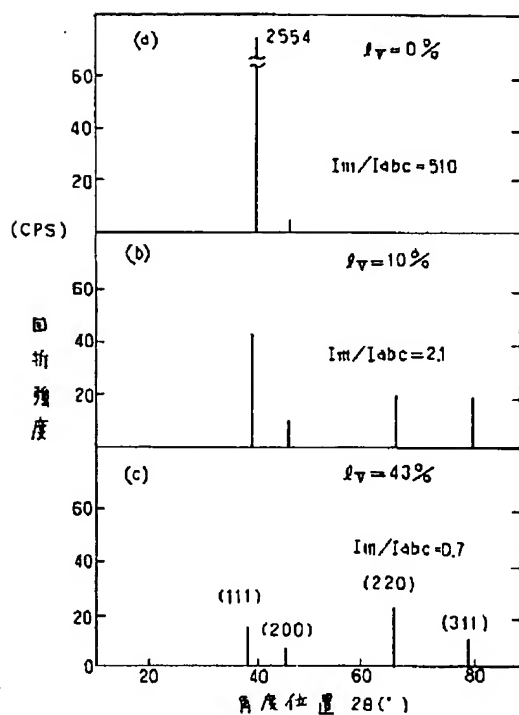


1043: シリコン窒化膜
 1044: SOG
 1045: PSG膜

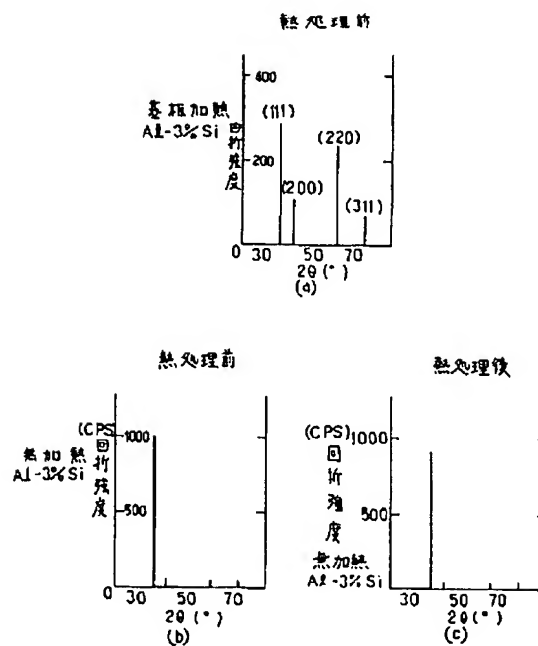
【図8】



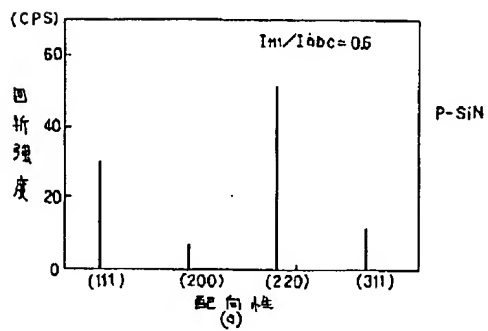
【図4】



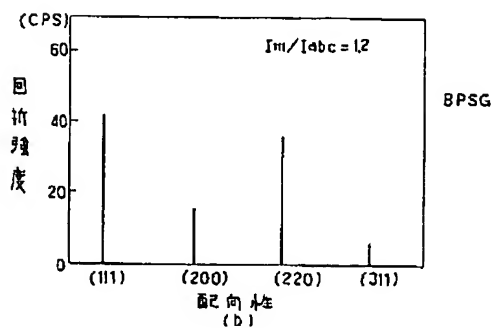
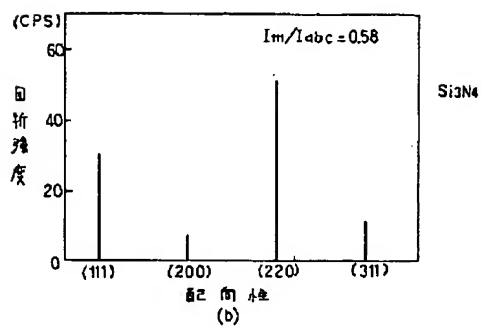
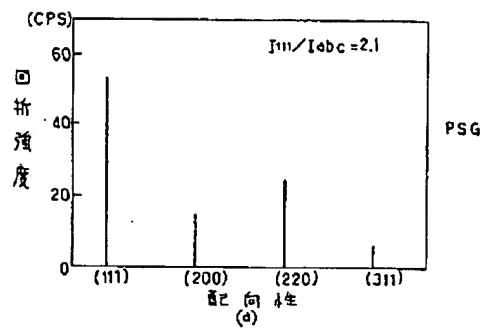
【図5】



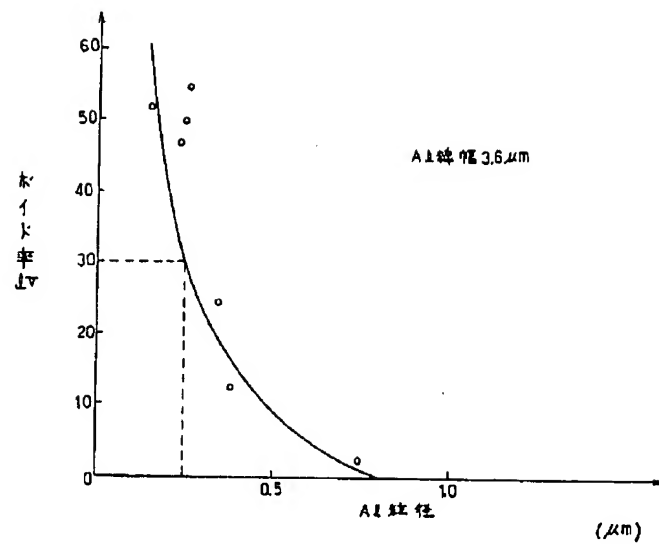
【図6】



【図7】



【図9】



【手続補正書】

【提出日】平成8年2月21日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】図4

【補正方法】変更

【補正内容】

【図4】結晶面の配向性による回折強度の大きさとその時のポイド率 L_v の値を表すグラフである。

PAT-NO: JP408213391A
DOCUMENT-IDENTIFIER: JP 08213391 A
TITLE: MULTILAYER INTERCONNECTION DEVICE AND ITS
MANUFACTURE
PUBN-DATE: August 20, 1996

INVENTOR-INFORMATION:
NAME
KUBOKOYA, RYOICHI
HIGUCHI, YASUSHI
KAWAMOTO, KAZUNORI

ASSIGNEE-INFORMATION:
NAME COUNTRY
NIPPONDENSO CO LTD N/A

APPL-NO: JP07280807
APPL-DATE: October 27, 1995

INT-CL (IPC): H01L021/3205

ABSTRACT:

PURPOSE: To suppress the occurrence of stress migration in second wiring which is formed on an insulating film, connected to first wiring through a contact section, composed mainly of aluminum, and contains crystal grains to prevent the formation of aluminum voids by specifying the orientation of the crystal plane of the second wiring.

CONSTITUTION: First Al-Si wiring 103 is formed by forming an Al-Si alloy film on the surface of a first PSG film 102 or silicon substrate 100 by sputtering. When the wiring 103 is formed, almost all the crystal grains on the crystal plane of the Al-Si alloy are oriented in (111)-plane, because the

temperature of the substrate 100, pressure of an Ar gas, depositing speed of the Al-Si alloy, etc., are controlled at the time of performing the sputtering. After forming the wiring 103, a second PSG film 104 is formed to cover the wiring 103 and second Al-Si wiring 105 is formed in the same way as that used for the wiring 103 so that the wiring 105 can be electrically connected to the wiring 103 in a contact section. Finally, a surface protective film 106 is formed to stabilize the surface.

COPYRIGHT: (C)1996,JPO

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] In case this invention relates to the multilayer interconnection formed in LSI etc., especially is pulled to this wiring and made detailed in the element using the protective coat with large stress, it relates to the multilayer-interconnection equipment which enables reduction of the lack (henceforth "AL void") which is easy to produce in the upper wiring, and its manufacture method.

[0002]

[Description of the Prior Art] if the line breadth of aluminum wiring is also thin, it is designed and the line breadth is set to 2-3 micrometers or less as detailed-izing and multilayering serve as indispensable technology and make it detailed with high integration of an element in recent years, an aluminum (AL) void will occur in aluminum wiring. Moreover, AL void which stress was added to the internal structure of an element in order to pile up various thin films also by multilayering, and was mentioned above occurs. It does not generate by the electromigration generally said and this AL void is generated according to the new phenomenon called stress migration. A stress migration is a phenomenon which happens only to aluminum wiring in which the protective coat with large hauling stress was formed. It is the phenomenon seen notably, so that hauling stress is large, and, so that the line breadth of aluminum wiring becomes thin.

[0003] Moreover, in multilayer-interconnection equipment, if the level difference by lower layer wiring etc. exists in many cases under the upper wiring and there is a level difference, the hauling stress from a protective coat will act locally, and AL void will further become easier for the upper wiring to tend to receive the big hauling stress from being closer to a protective coat than lower layer wiring, and to generate it. And if AL void produced by this stress migration becomes large, it will become a very big problem on reliability. For example, even if it did not carry out element operation (energization), when increase of the wiring resistance by reduction of the cross section of an open circuit of aluminum wiring and aluminum wiring, the element destruction by generation of heat, delay of a speed of operation, etc. set, an element is operated further and a high current is energized, it becomes easy to be generated in failure by electromigration at an increasing tempo.

[0004] It is thought that this AL void is generated when a crack spreads from the grain boundary, in order that the hauling stress from a passivation film with large internal stress etc. may join aluminum wiring, the stress may concentrate on the grain boundary, it may ease stress and the atom of AL may begin to move from a grain boundary. On the other hand, in order to reduce movement of AL atom in a grain boundary, there is an example of a report that AL-Si-Cu wiring is formed, Cu is made to act as an obstruction to AL atom, movement of AL atom is suppressed, and generating of AL void can be suppressed, by mixing with alloy wiring (henceforth "AL-Si wiring") of AL and Si Cu which is easy to deposit in a grain boundary. AL atom is considered that this causes movement by the stress which a stress migration receives from a protective coat, and it causes migration by ** grain boundary diffusion to the grain boundary out of ** crystal grain, and addition of Above Cu is considered that suppression aimed at diffusion of **.

[0005]

[Problem(s) to be Solved by the Invention] However, according to the above-mentioned AL-Si-Cu wiring, although a certain grade can suppress generating of AL void, it is made a void fraction L_v and, as for generating of 30 - 40% of AL void, aluminum wiring with which **** cannot do ***** but generating of AL void can be reduced more is still desired.

[0006] In addition, it is the value expressed with $L_v = d/W$ when W and the maximum void value are set to d for the line breadth of aluminum wiring, as shown in the perspective diagram of a view 11 in the void fraction L_v here, and generating of AL void will be suppressed, so that this void value L_v is small needless to say. Then, this invention aims at stopping a stress migration and reducing generating of AL void more by controlling the membranous quality of the upper aluminum wiring in the multilayer interconnection in which the large protective coat of a tensile stress was formed.

[0007]

[Means for Solving the Problem] In order to attain the above-mentioned purpose, it sets to the 1st invention of this application. A semiconductor substrate and the 1st wiring partially formed on the aforementioned semiconductor substrate, The insulator layer which has the contact section which was formed on wiring of the above 1st and removed partially, The 2nd wiring which the main component is aluminum, and it is formed on the aforementioned insulator layer, and carries out electrical installation to the 1st aforementioned wiring through the aforementioned contact section, It has the protective coat which is formed on wiring of the above 2nd, pulls to the 2nd aforementioned wiring, and acts stress. the 2nd aforementioned wiring While having crystal grain, the multilayer-interconnection equipment characterized by the crystal face mainly (111) carrying out orientation of an aluminum atom moving to a grain boundary to the field that it should suppress is offered.

[0008] While forming an insulator layer in the 2nd invention of this application on the 1st process which forms the 1st wiring partially on a semiconductor substrate, and wiring of the above 1st The 2nd process which removes the aforementioned insulator layer partially and forms the contact section, The 3rd process formed on the aforementioned insulator layer so that electrical installation of the 2nd wiring in which the main components are aluminum and the crystal face of the crystal grain mainly (111) carries out orientation may be carried out to the 1st aforementioned wiring through the aforementioned contact section, The manufacture method of the multilayer-interconnection equipment characterized by having the 4th process which forms the protective coat which pulls to the 2nd aforementioned wiring and acts stress on wiring of the above 2nd is offered.

[0009] In addition, in the above 1st and the 2nd invention, it means making other direct or layers intervene forming a protective coat on the 2nd wiring layer, and forming a protective coat on the 2nd wiring layer indirectly.

[0010]

[Function and Effect(s) of the Invention] Usually, if a level difference is under wiring, although it will become easy to generate the crystal face of various orientation in the portion of the level difference. Since, as for a field (111), AL atom serves as a film of the maximum **** by having mainly (111) carried out orientation of the crystal face of the 2nd wiring to the field compulsorily according to the 1st invention of this application, Even if the tensile stress from a protective coat is added, the effect that it is hard coming to move AL atom in AL particle to a grain boundary from the inside of crystal grain, and the void on a slit cannot occur, therefore a stress migration can be stopped, and generating of AL void can be reduced is done so.

[0011] Moreover, according to the 2nd invention of this application, the effect that the multilayer-interconnection equipment which stopped the above-mentioned stress migration can be manufactured is done so.

[0012]

[Embodiments of the Invention] Hereafter, this invention is explained in detail using the example shown in a drawing. A view 1 is a cross section of the semiconductor device for explaining the 1st example of this invention, and 100 is LOCOS as a field insulator layer which a silicon substrate and 101 form a silicon nitride (Si₃N₄) partially on a silicon substrate 100, and is formed by oxidizing the silicon nitride thermally as a mask in drawing. And after removing a silicon nitride, the PSG (phosphorus glass) film 102 as an insulator layer (for example, the 1st) is formed by vacuum evaporation or the CVD (Chemical Vapor Deposition) method, and it forms successfully so that the part may carry out electrical connection of the 1st AL-Si wiring 103 to a silicon substrate 100 for example, by the sputtering method. [0013] Here, the 1st AL-Si wiring 103 which is the important section of this example forms the film of an AL-Si alloy on the 1st PSG film 102 or a silicon substrate 100 by the sputtering method first. Almost all crystal grain is carrying out orientation of the crystal face of an AL-Si alloy to the field (111) by controlling the rate of sedimentation of the substrate overheating temperature at the time of sputtering, Ar gas pressure, and an AL-Si alloy, the kind of residual gas, an amount, etc. in that case. And by carrying out photoetching of the AL-Si alloy, line breadth makes it the predetermined pattern which is 0.7 micrometers whose particle size of AL crystal grain is about 1 of the line breadth/3 by 2 micrometers, and is formed by performing heat treatment of a predetermined time after that.

[0014] In addition, in not heating a substrate to having crystal orientation various when a substrate is heated (this drawing (a)) as shown in a view 5 (a) and the graph of (b) if for example, substrate heating is observed as what is controlled in order to carry out orientation of the crystal face to a field (111) (this drawing (b)), it mainly (111) carries out orientation to a field. However, since the step coverage of aluminium alloy wiring will get worse and the particle size of AL crystal grain will become very small if a substrate is not heated, Si **** and it becomes a problem. Therefore, it is necessary to carry out sputtering at suitable substrate temperature.

[0015] And as this 1st AL-Si wiring 103 top is covered, the 2nd PSG film 104 is formed by vacuum evaporation or CVD, and etching removal of the portion which hits the contact section for taking electrical connection with the 1st AL-Si orientation line 103 is carried out partially. Next, as it from-electrical-and-electric-equipment-** with the 1st AL-Si wiring 103 in the contact section, the 2nd AL-Si wiring 105 is formed like the 1st AL-Si wiring 103, and in order to stabilize a front face finally, the surface-protection film 106 which consists of a silicon nitride etc. is formed from a plasma CVD method etc. In addition, 107 is a wiring layer which consists of polycrystal silicon.

[0016] Then, the crystal face at the time of deposition of an AL-Si alloy is carrying out orientation to the field for almost (111), since a field is the maximum **** as mentioned above (111), the movement is suppressed with other AL atoms, movement to the grain boundary of AL atom for relief of the internal stress of aluminium alloy wiring is suppressed by that cause, and AL atom is effective in the ability to lose most generating of AL void according to this example. Next, the above thing is explained based on this invention person's experimental result. It is the graph with which a view 4 takes angular-position 2theta along a horizontal axis, and takes diffraction intensity along a vertical axis, and the size of the diffraction intensity by the stacking tendency of the crystal face and the value of the void fraction L_v at that time are expressed, and a view 4 (a) is the value of the 1st example of the above. In addition, the size of diffraction intensity was measured in differential-gear RAKUTO meter as shown in the typical plan of for example, the 10th view. If this differential-gear RAKUTO meter is explained briefly, the plate-like sample 10 (in this example, the AL-Si alloy is formed in the front face) will be attached in the base 11 turning around the surroundings of the shaft O perpendicular to space. After diffracting the emission X-ray which comes out of the line focus 14 on the target 13 of X-ray tube 12 as an X line source by the plate-like sample 10 through a slit 15, A focus is connected to a slit 16, it constitutes so that it may put into the counter tube 17, and the diffraction intensity of the X-ray which goes into the counter tube 17 then is measured by making it move in the direction which increases by the constant angular velocity, and scanning angular-position 2theta. In addition, angular-position 2theta is read with a dial plate 18.

[0017] As a result of measuring the diffraction intensity of this example using this equipment, as shown in the graph of a view 4 (a) The crystal face has become [diffraction intensity] the largest in the field (111), and few [the diffraction intensity in other crystal faces] values in a field (200) were only measured. (111) the diffraction intensity of a field -- I₁₁₁ and the largest diffraction intensity (diffraction intensity of a field in this case (200)) among other crystal faces -- I_{abc} **, when it carries out Set to I₁₁₁/I_{abc} = 510, the void fraction L_v at that time is an epoch-making value of L_v = 0%, and will have the outstanding effect that an AL-Si alloy can make abbreviation of generating of AL void there be nothing by making most (111) of the crystal face into a field as for ****.

[0018] A view 4 (b) is the example which carried out orientation of the AL-Si alloy so that the crystal face might mainly (111) turn into a field, and is I₁₁₁/I_{abc} = 2.1. Also in this example, it is void-fraction L_v = 10%, and is effective in the ability to carry out the remarkable reduction of the generating of AL void as compared with the former. The value of the conventional AL-Si alloy is shown as reference, and it has various crystal orientation, and the view 4 of the diffraction intensity (c) is the largest in a field (220), and are I₁₁₁/I_{abc} = 0.7 and L_v = 43%.

[0019] They are I₁₁₁ / I_{abc} to a view 8. The graph showing the relation of a void fraction L_v is shown. if the effect of a grade that a void fraction L_v will serve as 30% or less of abbreviation if it is I₁₁₁/I_{abc} >= 1 as a graph shows is acquired and it is I₁₁₁/I_{abc} >= 2 -- a void fraction L_v -- 10% or less next door of abbreviation -- a remarkable effect is acquired In addition, although the above diffraction intensity or crystal face in invention is set in the formation process of AL-Si wiring and is a value at the time of deposition of an AL-Si alloy, the diffraction intensity or the crystal face after AL-Si wiring formation may be used for it. The value of the diffraction intensity when depositing the AL-Si alloy which contains Si 3%, without a view 5 (b) and (c) heating a substrate at the time of sputtering, respectively (this drawing (b)), It is the graph which shows the value (this drawing (c)) of the diffraction intensity after passing through a photoetching process and a heat treatment process into the AL-Si alloy. the void fraction [although the diffraction intensity in a field (111) is small a little after heat treatment, orientation of the crystal face is still carried out to the field mainly (111), and / void fraction / L_v / at this time]

Lv at the time of deposition, and abbreviation -- it is the same

[0020] Moreover, according to the 1st example of the above, since the particle size (henceforth "AL particle size") of AL crystal grain is about 1 of line breadth of AL-Si wiring/3, the grain boundary in AL-Si wiring can be lessened, and movement of the part and AL atom can be suppressed. A view 9 is this invention person's experimental result, and is a graph which shows the value of the void fraction Lv to AL particle size. By AL particle size having had big influence to the void fraction Lv, a void fraction Lv becomes small, so that a graph may show, and AL particle size is large. For example, if the line breadth of the silicon nitride according [furring] to CVD and AL-Si wiring is 3.6 micrometers and AL particle size becomes or more about 1 of 0.8 micrometers, i.e., line breadth, / 4 in this experiment, it is void-fraction Lv=0%. Moreover, if AL particle size becomes or more about 1 of 0.25 micrometers, i.e., line breadth, / 14, the effect of a grade that a void fraction Lv becomes 30% or less will be acquired. Here, if AL particle size is too large, possibility that the grain boundary of crystal grain will cross wiring will arise, and slit-like AL void will occur conversely. Therefore, it is the case where the range of AL particle size which is of the same grade as line breadth as for the upper limit of AL particle size, and can suppress generating of AL void to some extent set AL particle size to L, and sets line breadth to W.

W

——— <L<Wであり、ALボイドの発生をほとんど抑える事のできるA

1 4

L 粒径の範囲は、

W

W

——— <L<——— となる。

4

1. 5

[0021] Furthermore, according to the 1st example of the above, the 1st PSG film 102 and the 2nd PSG film 104 are formed, respectively as furring of the 1st AL-Si wiring 103 and the 2nd AL-Si wiring 105. Mainly (111) become easy for both to do orientation of the crystal face of the AL-Si alloy formed on it as it is shown in a view 6 and the 7th view, since it is an oxide film to a field. Moreover, an oxide film can cut the combination easily [since the binding energy is small] as compared with a nitride, can be combined with AL atom, and since consumption of the energy which AL atom has is small, it becomes easy to enlarge the diameter of crystal grain. Furthermore, since internal stress is small as compared with a nitride, the stress given to AL-Si wiring also becomes small, and an oxide film is effective in the ability to reduce generating of AL void more. A view 6 and the 7th view are graphs which show the value of the diffraction intensity by the difference in the crystal face of the AL-Si wiring deposited on furring. Nitride P-SiN formed by the plasma CVD method as furring in a view 6 (a), The PSG film with which the silicon nitride Si 3N4 in which a view 6 (b) is formed of CVD, and a view 7 (a) are formed of CVD, and a view 7 (b) are BPSG films formed of CVD. the nitride shown in a view 6 (a) and (b) -- I111 / Iabc a value -- respectively -- 0. - - to being 6 and 0.58, by the oxide film shown in a view 7 (a) and (b), comparatively greatly, if it is 2.1 and 1.2, respectively and furring is an oxide film (111), it turns out that it is easy to carry out orientation to a field In addition, it is SiO [without being limited as an oxide film] 2 by CVD. You may be a film, the oxide film formed by the plasma CVD method.

[0022] Next, the 2nd example of this invention is explained using the cross section of the semiconductor device of a view 2. In addition, the same sign is given to the component which can be formed by the same manufacture method as the component of a view 1, and the detailed explanation is omitted. Also in this example, the 1st AL-Si wiring 103 is formed as mentioned above so that the crystal face may mainly (111) carry out orientation to a field, and so that the particle size may become within the limits of 1/4 of line breadth, or 1/1.5.

[0023] When this example is adopted as the large thing of an aspect ratio, it is effective. The P-SiN film 1041 is formed by the plasma CVD method on the 1st AL-Si wiring 103 and the 1st PSG film 102. The so-called etchback of carrying out dry etching of the whole surface after carrying out flattening of the front face which applied the resist is performed. After forming the PSG film 1042 by CVD on the P-SiN film 1041 furthermore, the contact section is removed partially, and the 2nd AL-Si wiring 105 is formed like the 1st example of the above.

[0024] Then, although the same effect as the 1st example of the above is acquired since orientation of the crystal face is mainly (111) carried out to a field also in this example and the particle size is controlled again Usually, although the material under a resist is a nitride and the 2nd AL-Si wiring is formed by using this nitride as furring in order to make an etch rate with a resist equal when performing etchback In this example, the PSG film 1042 is formed on the P-SiN film 1041 as the nitride. It is effective in being mainly (111) easy to carry out orientation of the crystal face of an AL-Si alloy to a field, and becoming, as it mentioned above, since the AL-Si wiring 105 was formed as it mentioned above, since the 2nd AL-Si wiring 105 was formed by using the PSG film 1042 as furring etc.

[0025] Next, the 3rd example of this invention is explained using the cross section of the semiconductor device of a view 3. the crevice which forms the silicon nitride (Si 3N4) 1043 of a thin film on the 1st AL-Si wiring 103 and the 1st PSG film 102, and exists in this example at this time -- ethanol and SiO2 the spin-on glass (SOG) 1044 made into a principal component -- applying -- the -- post heating hardening is carried out And the PSG film 1045 is formed on it, the contact section is removed partially and the 2nd AL-Si wiring 105 is formed. Then, by mainly (111) carrying out orientation of the crystal face of an AL-Si alloy to a field also in structure like this example, and setting the particle size to 1/4 or 1/1.5, since furring of the 1st and 2nd AL-Si wiring 103,105 is an oxide film, the same effect as the 1st example is acquired again.

[0026] In addition, the components of the 2nd wiring may be the aluminum wiring which can deform this invention variously unless it deviates from the main point, without being limited to the above 1st or the 3rd example, for example, this invention says and to which the vacuum evaporation of the principal component is carried out by the E-gun method that what is necessary is [therefore] just AL or AL-Si wiring, AL-Si-Cu wiring, AL-Si-Ti wiring, etc. Moreover, in the above-mentioned example, although it is two-layer wiring, the wiring structure of three or more layers is sufficient.

[Translation done.]